

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-097340
 (43)Date of publication of application : 23.04.1991

(51)Int.Cl. H04L 29/06
 G06F 13/36

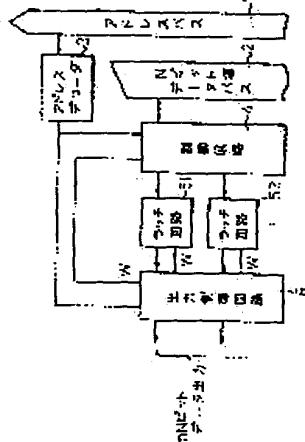
(21)Application number : 01-233015 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 11.09.1989 (72)Inventor : NAKAMARU MASAHIRO

(54) DATA BUS WIDTH CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To relieve the load of a CPU by adopting the constitution such that the changeover of an output bit width by means of the hardware is not required so as to simplify the constitution and to generate a write signal to be written from a latch circuit to an output control circuit from in the inside of the control circuit.

CONSTITUTION: The data bus width conversion circuit is a circuit receiving N-bit data by m-times and outputting mN-bit data, and latch circuits 51, 52,... designate different addresses to output N-bit data and mN-bit data in advance to latch the N-bit data. A control circuit 4 designates to which latch circuit the outputted mN-bit data is latched for N-bit each, and when mN-bit data is all latched to the latch circuit, a data write signal W is sent to an output control circuit 8 and the data is written from the latch circuit to the output control circuit. The output control circuit 6 outputs the data latched in the latch circuit as the mN-bit data and informs the high-order or low-order (n-m)N-bit to be valid when the output is the mN-bit data ((0<m<n)).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(2)

2

① 日本国特許庁 (JP)

② 公開特許公報 (A) 平3-97340

③ 特許出願公開

④ Int. Cl.

H 04 L 29/08
G 06 F 17/383 2 0 B
8848-5KH 04 L 13/00
8848-5K3 0 5 B
H 04 L 13/00
8848-5K

⑤ 公開 平成3年(1991)4月23日

⑥ 発明の名稱 データバス幅変換回路

⑦ 特許第 平1-232015

⑧ 出願日 平1(1989)9月11日

⑨ 発明者 中丸 正弘
神奈川県横浜市中区元町1015番地 富士通株式会社⑩ 出願人 富士通株式会社
神奈川県横浜市中区元町1015番地⑪ 代理人 弁護士 青木 順
外4名

著者請求 未請求 請求式の表 1 (全6頁)

【特許請求の範囲】

1、Nビットのデータをm個入力して、mNビットデータを出力するデータバス幅変換回路であつて、出力がNビットのデータと、mNビットのデータに対し異なるアドレスをあらかじめ指定しておき、Nビットデータをラッチするラッチ回路と、

出力するmNビットデータをNビット毎にビのラッチ回路にラッチさせたことを出力制御回路と、出力がNビットデータを有する制御回路と、ラッチ回路にラッチされたデータをmNビットデータとして出力し、また出力がmNビットデータ ($0 < m < n$) の場合に上位、または下位 ($n-m$) Nビットが無効であることを通知する出力制御回路とを設けたことを特徴とするデータバス幅変換回路。

(57) 【要約】
 (目的) ハード面での出力ビット幅の切り替えを不要とする構成により、構成を簡単にするとともに、ラッチ回路から出力制御回路へ書き込み信号を制御回路内部でくることにより、CPUの負荷を軽減する。
 (構成) 本データバス幅変換回路は、Nビットのデータをm回入力して、mNビットデータを出力する回路であつて、ラッチ回路5 1、5 2、…は、出力がNビットのデータと、mNビットのデータに対し異なるアドレスをあらかじめ指定しておき、NビットデータをNビットデータへ書き込み信号Wを送り、ラッチ回路6にどのラッチ回路にラッチさせるかを指定し、mNビットデータがすべてラッチ回路にラッチされると、出力制御回路6にデータバス幅変換ヘーダークが書き込まれる。出力制御回路6は、ラッチ回路にラッチされたデータをmNビットデータとして出力し、また出力がmNビットデータ ($0 < m < n$) の場合に、上位または下位 ($n-m$) Nビットが無効であることを通知する。

【データバス幅変換回路 ハード面出力ビット幅切換 不要 構成 簡易 ラッチ回路 出力 制御回路 書き込み 信号 制御回路 内部 CPU 負荷 減少 本 Nビット データ 入力 出力 回路 要なり アドレス 指定 ラッチ チャンネル すべて データ 書き込み 信号 W 送り 場合 上位 下位 無効 通知】

(3)

(4)

① 日本国特許庁 (JP) ② 特許出願公開

③ 公開特許公報 (A) 平3-97340

④ Int. Cl. " G 06 F 19/36 3 20 B 840-5B H 04 L 13/00 305 B

登録記号 行内登録番号 ⑤ 公開 平成3年(1991)4月22日

審査請求 未請求 請求項の数 1 (全6項)

⑥ 説明の名称 データバス構成変換回路

⑦ 権利 獲得 平1-233015

⑧ 出願日 平1(1989)9月11日

⑨ 発明者 中丸 正弘 神奈川県川崎市中葛区上小田中1015番地 富士通株式会社

⑩ 出願人 富士通株式会社 神奈川県川崎市中葛区上小田中1015番地

⑪ 代理人 余里士 青木 明 外4名

-m) Nビットが操作されることを通知する出力
機能回路により構成される。

【底面上の利用分野】

本発明はデータバス構成変換回路に関し、特に通信部分の実現装置または通信装置の内部に付してのデータバス構成変換回路に関するものである。

【背景技術】

データバス構成変換回路において、1'はアドレスバス、3'はコントロールバスであって、出力データのビット幅を決定

するNビットを外側から接続回路

によって該ビット幅の出力データをモニタ

出力端子H1/H2等に対しデータの組込みを行つ

ているが、今日では多様なシステム(10/20ビット等)に対応できるものが求められている。また

データ送達の際によりシグナルを読み出すにつ

いても、可変ビット幅のデータを扱うことが可行

り、このため1つのバイスドリババス端子に對応で

るものが必要となっている。

Nビットデータからなるデータモ、NビットまたはNビットデータとして出力するよ

うなデータバス構成変換回路は、例えば超実質的理

特開平3-97340(2)

における類似(内翻)のバスと外翻バスとの間でデータモドリーバーするよう動作に用いられ

ている。

発明のこの種のデータバス構成変換回路としては

何人か見つけるべきようなものがある。

既述5図の回路において、1'はアドレスバス、

2'はNビット幅のデータバス、3'はコントロ

ールバスであって、出力データのビット幅を決

定するNビットを外側から接続回路

によって該ビット幅の出力データをモニタ

出力端子H1-H2等に対しデータの組込みを行つ

ているが、今日では多様なシステム(10/20ビッ

ト等)に対応できるものが求められている。また

データ送達の際によりシグナルを読み出すにつ

いても、可変ビット幅のデータを扱うことが可行

り、このため1つのバイスドリババス端子に對応で

るものが必要となっている。

Nビットデータからなるデータモ、NビットまたはNビットデータとして出力するよ

うなデータバス構成変換回路は、例えば超実質的理

を出力する場合、出力データのビット幅の切り替えが必要であるため、切り替えたための外側回路の追加や正常が影響でデータ幅が複雑になったり、

システムが複雑になるという問題点があった。

また、タイミングから出力制御回路への出力をCPLDからのコントロール等によって行っていた

ため、直前に負荷がかかっていた。

本発明はかかる問題を解決するために新たに

データを出力するデータバス構成変換回路であって、

出力がNビットのデータと、mNビットのデータ

に對し異なるアドレスをあらじめ指定しておき、Nビットデータモドリーバーするデータ構成

回路にデータを指定し、mNビットデータ

データがオーバーフローするデータ構成と、

データがオーバーフローしないデータ構成と、

データがオーバーフローするための手順を有する制

御回路と、

データ回路にデータを指定したデータモドリーバー

として出力し、また出力がmNビットデータ

(n < m < n')の場合は上位、または下位(n-m)Nビットが操作されることを通知する出力

データとして出力し、また出力がmNビットデータ

(n < m < n')の場合は上位、または下位(n-m)Nビットを操作することを通知する出力

データをモドリーバーするデータ構成と、

データをモドリーバーするデータ構成と、

データをモドリーバーするデータ構成と、

データをモドリーバーするデータ構成と、

冀平3-97340(3)

（実験結果）
第2回および3回は、本開発にかかるデータ
バス優先接続の一実験例を示す図であって、本
実験例は8ビット／16ビットの出力端点のデータ
バス優先接続を行う例である。
ケン

५

6

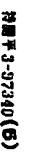
6

卷之三-97340(4)

特許出願人
富士通株式会社
特許出願代理人
中澤士貴 木
中澤士石 田
中澤士平 岩
中澤士山 口
中澤士西 山
中澤士也

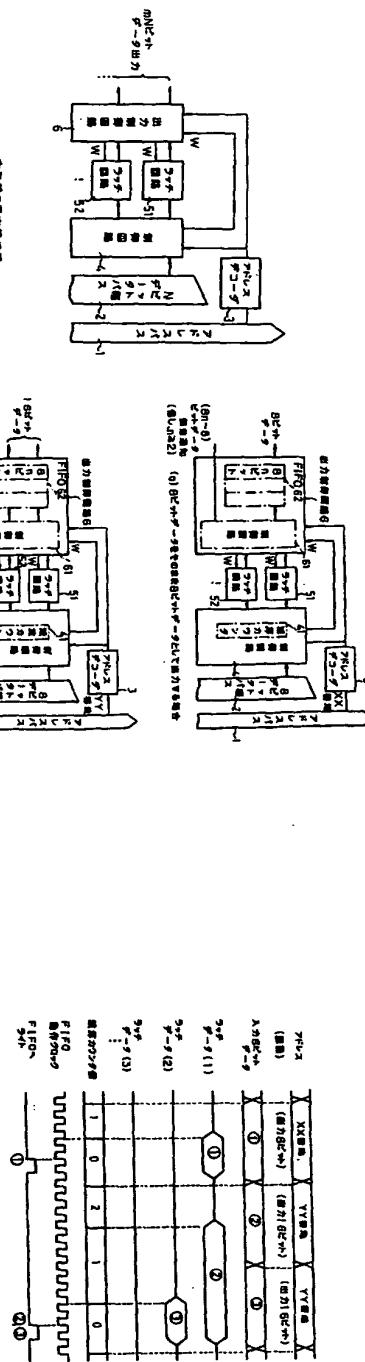
卷之三-97340(4)

(7)



8

卷四
3-37340(6)

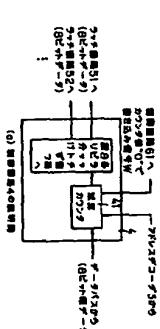


卷一

第二回

卷一

第 1 回



-259-

The diagram illustrates the Japanese standardization system. At the top, 'JIS' (Japanese Industrial Standard) is shown with a downward arrow pointing to 'JCG' (Japan Commendation for Quality Standard). From 'JCG', an arrow points down to 'JCS' (Japan Standard). A large bracket on the right side groups 'JIS', 'JCG', and 'JCS' under the heading 'JAPANESE STANDARDIZATION'.

卷之三